**《数字逻辑》实验报告**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **姓名** | | *李佳明* | | **年级** | | *2020* |
| **学号** | | *20204254* | | **专业、班级** | | *计算机科学与技术（卓越）*  *01* |
| **实验名称** | **实验三 多路选择器** | | | | | |
| **实验时间** | **2021.10.23** | | **实验地点** | | **DS1410** | |
| **实验成绩** |  | | **实验性质** | | **□验证性 □设计性 □综合性** | |
| 教师评价：  □算法/实验过程正确； □源程序/实验内容提交 □程序结构/实验步骤合理；  □实验结果正确； □语法、语义正确； □报告规范；  评语：  评价教师签名（电子签名）： | | | | | | |
| 一、实验目的  通过实验，学会多路选择器的功能，以及使用Block Design和verilog HDL语言设计多路选择器。 | | | | | | |
| 二、实验项目内容   1. 分别使用Block Design设计方法和添加源代码的方法设计一个1位4选1多路选择器，并通过写仿真文件、看RTL电路图，下载到板载验证其正确性。 2. 使用Verilog HDL语言的行为描述方法设计一个3位数据的4选1多路选择器mux4x3，3位输出out分别接LD2~LD0，四个3位的数据输入in1，in2，in3，in4分别接SW2~SW0，SW5~SW3，SW8~SW6，SW11~SW9，两位选择位分别接SW15，SW14。LD2~LD0的取值如下表： | | | | | | |
| 三、实验设计  **1位4选1多路选择器**  逻辑表达式：  电路原理图：    **Block Design：Project3-1**  导入IPcore  （内含andgate,nandgate,Norgate,notgate,nxorgate,orgate,xorgate）    创建design\_1    通过Create HDL Wrapper创建design\_1\_wrapper  RTL图如下：    创建仿真文件design\_1\_sim\_2，获得如下波形图    编写管脚约束（如下），生成Bitstream，导入BASYS 3板子，验证    **源代码添加方法：Project3-2**  编写源代码文件design\_1，仿真文件design\_1\_sim\_2  获得波形图如下：    生成RTL图如下：    编写管脚约束（如下），生成Bitstream，导入BASYS 3板子，验证    **3位数据的4选1多路选择器：Project3-3**  编写源文件design\_1，仿真文件design\_1\_sim\_2  获得波形图如下：    获得RTL图如下：    生成Bitstream约束文件如下：    导入BASYS 3板子，验证成功 | | | | | | |
| 四、实验过程或算法  **1位4选1多路选择器**  **Block Design：代码文件见Project3-1**  design\_1\_sim\_2代码：  `timescale 1ns / 1ps  *//////////////////////////////////////////////////////////////////////////////////*  *// Company:*  *// Engineer:*  *//*  *// Create Date: 2021/10/27 16:27:08*  *// Design Name:*  *// Module Name: design\_1\_sim\_2*  *// Project Name:*  *// Target Devices:*  *// Tool Versions:*  *// Description:*  *//*  *// Dependencies:*  *//*  *// Revision:*  *// Revision 0.01 - File Created*  *// Additional Comments:*  *//*  *//////////////////////////////////////////////////////////////////////////////////*  module design\_1\_sim\_2(      );      parameter size = 10000;      reg a = 0;      reg b = 0;      reg c = 0;      reg d = 0;      reg S1 = 0;      reg S2 = 0;      wire e;      design\_1 u(.a(a),.b(b),.c(c),.d(d),.S1(S1),.S2(S2),.e(e));      initial begin          a = 'd0;          b = 'd0;          c = 'd0;          d = 'd0;          S1 = 'd0;          S2 = 'd0;          repeat(size)          begin              #10              a = $random;              b = $random;              c = $random;              d = $random;              S1 = $random;              S2 = $random;          end      end  endmodule  design\_1\_xdc代码：  set\_property IOSTANDARD LVCMOS33 [get\_ports {e[0]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports a]  set\_property IOSTANDARD LVCMOS33 [get\_ports b]  set\_property IOSTANDARD LVCMOS33 [get\_ports c]  set\_property IOSTANDARD LVCMOS33 [get\_ports d]  set\_property IOSTANDARD LVCMOS33 [get\_ports S1]  set\_property IOSTANDARD LVCMOS33 [get\_ports S2]  set\_property PACKAGE\_PIN U16 [get\_ports {e[0]}]  set\_property PACKAGE\_PIN R2 [get\_ports a]  set\_property PACKAGE\_PIN T1 [get\_ports b]  set\_property PACKAGE\_PIN U1 [get\_ports c]  set\_property PACKAGE\_PIN W2 [get\_ports d]  set\_property PACKAGE\_PIN T2 [get\_ports S1]  set\_property PACKAGE\_PIN R3 [get\_ports S2]  **源代码添加：代码文件见Project3-2**  design\_1代码：  `timescale 1ns / 1ps  *//////////////////////////////////////////////////////////////////////////////////*  *// Company:*  *// Engineer:*  *//*  *// Create Date: 2021/10/23 11:38:01*  *// Design Name:*  *// Module Name: design\_1*  *// Project Name:*  *// Target Devices:*  *// Tool Versions:*  *// Description:*  *//*  *// Dependencies:*  *//*  *// Revision:*  *// Revision 0.01 - File Created*  *// Additional Comments:*  *//*  *//////////////////////////////////////////////////////////////////////////////////*  module design\_1      (      input [0:0] a,      input [0:0] b,      input [0:0] c,      input [0:0] d,      input [0:0] S1,      input [0:0] S2,      output [0:0] e      );      assign e = a&(~S2)&(~S1)|b&(~S2)&(S1)|c&(S2)&(~S1)|d&(S2)&(S1);  endmodule  set\_property IOSTANDARD LVCMOS33 [get\_ports {e[0]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports a]  set\_property IOSTANDARD LVCMOS33 [get\_ports b]  set\_property IOSTANDARD LVCMOS33 [get\_ports c]  set\_property IOSTANDARD LVCMOS33 [get\_ports d]  set\_property IOSTANDARD LVCMOS33 [get\_ports S1]  set\_property IOSTANDARD LVCMOS33 [get\_ports S2]  set\_property PACKAGE\_PIN U16 [get\_ports {e[0]}]  set\_property PACKAGE\_PIN R2 [get\_ports a]  set\_property PACKAGE\_PIN T1 [get\_ports b]  set\_property PACKAGE\_PIN U1 [get\_ports c]  set\_property PACKAGE\_PIN W2 [get\_ports d]  set\_property PACKAGE\_PIN T2 [get\_ports S1]  set\_property PACKAGE\_PIN R3 [get\_ports S2]  仿真文件代码与Block Design中design\_1\_sim\_2相同  `timescale 1ns / 1ps  *//////////////////////////////////////////////////////////////////////////////////*  *// Company:*  *// Engineer:*  *//*  *// Create Date: 2021/10/27 16:27:08*  *// Design Name:*  *// Module Name: design\_1\_sim\_2*  *// Project Name:*  *// Target Devices:*  *// Tool Versions:*  *// Description:*  *//*  *// Dependencies:*  *//*  *// Revision:*  *// Revision 0.01 - File Created*  *// Additional Comments:*  *//*  *//////////////////////////////////////////////////////////////////////////////////*  module design\_1\_sim\_2(      );      parameter size = 10000;      reg a = 0;      reg b = 0;      reg c = 0;      reg d = 0;      reg S1 = 0;      reg S2 = 0;      wire e;      design\_1 u(.a(a),.b(b),.c(c),.d(d),.S1(S1),.S2(S2),.e(e));      initial begin          a = 'd0;          b = 'd0;          c = 'd0;          d = 'd0;          S1 = 'd0;          S2 = 'd0;          repeat(size)          begin              #10              a = $random;              b = $random;              c = $random;              d = $random;              S1 = $random;              S2 = $random;          end      end  endmodule  **3位数据的4选1多路选择器：代码文件见Project3-3**  design\_1代码：  `timescale 1ns / 1ps  *//////////////////////////////////////////////////////////////////////////////////*  *// Company:*  *// Engineer:*  *//*  *// Create Date: 2021/10/23 12:01:07*  *// Design Name:*  *// Module Name: design\_1*  *// Project Name:*  *// Target Devices:*  *// Tool Versions:*  *// Description:*  *//*  *// Dependencies:*  *//*  *// Revision:*  *// Revision 0.01 - File Created*  *// Additional Comments:*  *//*  *//////////////////////////////////////////////////////////////////////////////////*  module design\_1      (      input [2:0]a,      input [2:0]b,      input [2:0]c,      input [2:0]d,      input [1:0]S,      output reg[2:0]e      );      always @(a,b,c,d,S)      begin          case(S[1:0])              2'b00: e = a;              2'b01: e = b;              2'b10: e = c;              2'b11: e = d;              default:e = 2'b00;          endcase      end  endmodule  design\_sim\_2代码：  `timescale 1ns / 100ps  *//////////////////////////////////////////////////////////////////////////////////*  *// Company:*  *// Engineer:*  *//*  *// Create Date: 2021/10/26 23:05:43*  *// Design Name:*  *// Module Name: design\_sim\_2*  *// Project Name:*  *// Target Devices:*  *// Tool Versions:*  *// Description:*  *//*  *// Dependencies:*  *//*  *// Revision:*  *// Revision 0.01 - File Created*  *// Additional Comments:*  *//*  *//////////////////////////////////////////////////////////////////////////////////*  module design\_sim\_2();      parameter size = 10000;      reg[2:0] a;      reg[2:0] b;      reg[2:0] c;      reg[2:0] d;      reg[1:0] S;      wire[2:0]e;      design\_1 u(.a(a),.b(b),.c(c),.d(d),.S(S),.e(e));      initial begin          a = 'd0;          b = 'd0;          c = 'd0;          d = 'd0;          S = 'd0;            repeat(size)          begin              #10              a = $random;              b = $random;              c = $random;              d = $random;              S = $random;          end      end  endmodule  design\_1\_xdc代码  set\_property IOSTANDARD LVCMOS33 [get\_ports {e[0]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {d[0]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {c[0]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {b[0]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {a[0]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {S[1]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {d[2]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {e[1]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {e[2]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {b[2]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {a[2]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {S[0]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {d[1]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {c[1]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {c[2]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {b[1]}]  set\_property IOSTANDARD LVCMOS33 [get\_ports {a[1]}]  set\_property SLEW SLOW [get\_ports {e[0]}]  set\_property PACKAGE\_PIN U16 [get\_ports {e[0]}]  set\_property PACKAGE\_PIN E19 [get\_ports {e[1]}]  set\_property PACKAGE\_PIN U19 [get\_ports {e[2]}]  set\_property PACKAGE\_PIN T1 [get\_ports {S[0]}]  set\_property PACKAGE\_PIN R2 [get\_ports {S[1]}]  set\_property PACKAGE\_PIN V17 [get\_ports {a[0]}]  set\_property PACKAGE\_PIN V16 [get\_ports {a[1]}]  set\_property PACKAGE\_PIN W16 [get\_ports {a[2]}]  set\_property PACKAGE\_PIN W17 [get\_ports {b[0]}]  set\_property PACKAGE\_PIN W15 [get\_ports {b[1]}]  set\_property PACKAGE\_PIN V15 [get\_ports {b[2]}]  set\_property PACKAGE\_PIN W14 [get\_ports {c[0]}]  set\_property PACKAGE\_PIN W13 [get\_ports {c[1]}]  set\_property PACKAGE\_PIN V2 [get\_ports {c[2]}]  set\_property PACKAGE\_PIN T3 [get\_ports {d[0]}]  set\_property PACKAGE\_PIN T2 [get\_ports {d[1]}]  set\_property PACKAGE\_PIN R3 [get\_ports {d[2]}] | | | | | | |
| 五、实验过程中遇到的问题及解决情况  仿真文件中未指定位宽，导致数据输入与预想不符合    解决方法：添加位宽  实例化模块时报错：    解决方法：e(e)改为.e(e) | | | | | | |
| 六、实验结果及分析和（或）源程序调试过程  Block Design先写出与门、或门、非门并封装IP核，后来调用IP核实现多路选择器。对于Verilog HDL，先写出行为级代码，接着综合、仿真，检查无误后，下载到开发板上测验。  仿真与调试：实验处，我们对仿真的认识不足，在写仿真文件时，采取了直接赋值枚举的方法，忽略了现实情况；为使仿真更接近现实，后面我们采取了$random方法，来模拟接收随机信号的过程。  七、小组分工情况说明  *李佳明：设计并封装门电路，Block Design的实现，Verilog HDL代码实现，仿真测试，板子实测，撰写实验报告。*  *明成：设计并封装门电路，Block Design的实现，Verilog HDL代码实现，仿真测试，板子实测，撰写实验报告。* | | | | | | |